

SEMICONDUCTOR DEVICE

Patent Number: JP2002042465
Publication date: 2002-02-08
Inventor(s): HAYAKAWA GORO
Applicant(s): MITSUBISHI ELECTRIC
Requested Patent: JP2002042465
Application: JP20000220010 20000721
Priority Number(s):
IPC Classification: G11C11/407; G06F1/26
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the rising speed of the potential of a power supply node is made fast during a power supply turn-on.

SOLUTION: In a VPP generating circuit of DRAM, when a boosting potential VPP is lower than a target potential VT' (=VCC), a standby detector 5 sets a signal &phiiv 5 to an 'H' level, a standby detector 3 is made inactive, a VPP-VCC direct coupled circuit 6 is made active and a boosting potential VPP line and a power supply potential VCC line are coupled. Thus, the rising speed of the boosting potential VPP is made faster during a power supply turn-on.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-42465

(P2002-42465A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl.
G 11 C 11/407
G 06 F 1/26

識別記号

F I
G 11 C 11/34
G 06 F 1/00
3 5 4 F 5 B 0 1 1
3 3 0 D 5 B 0 2 4
テマゴト(参考)

審査請求 未請求 請求項の数3 OL (全 9 頁)

(21)出願番号 特願2000-220010(P2000-220010)

(71)出願人 000006013

(22)出願日 平成12年7月21日(2000.7.21)

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 早川 吾郎
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

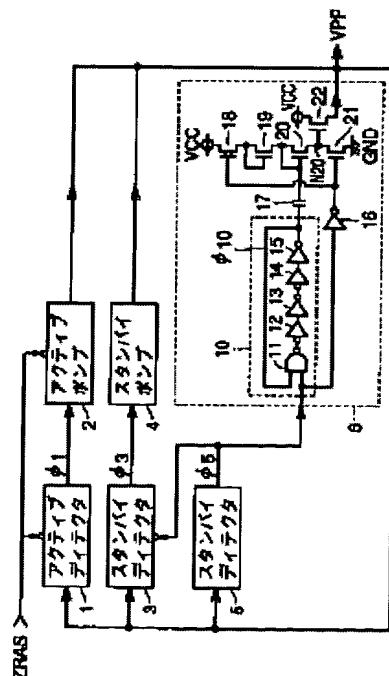
(74)代理人 100064748
弁理士 深見 久郎 (外4名)
Fターム(参考) 5B011 DB05 DB21 EB01 GG04 MB11
5B024 AA01 AA15 BA27 CA07 CA15

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 電源投入時における電源ノードの電位の立ち上がり速度が速い半導体装置を提供する。

【解決手段】 DRAMのVPP発生回路において、スタンバイディテクタ5は、昇圧電位VPPが目標電位V_{T'} (=VCC) よりも低い場合は、信号φ5を「H」レベルにし、スタンバイディテクタ3を活性化させるとともにVPP-VCC直結回路6を活性化させて、昇圧電位VPPのラインと電源電位VCCのラインとを結合させる。したがって、電源投入時における昇圧電位VPPの立ち上がり速度の高速化を図ることができる。



【特許請求の範囲】

【請求項1】 外部電源電位のラインと、前記外部電源電位よりも高い内部電源電位に充電される電源ノードとを備えた半導体装置であって、
前記電源ノードの電位が前記外部電源電位よりも低いか否かを検出し、低い場合に第1の信号を活性化レベルにする第1の電位検出回路、
前記外部電源電位のラインと前記電源ノードとの間に接続され、前記第1の信号が活性化レベルにされたことに応じて導通し前記電源ノードに前記外部電源電位を与えるためのスイッチング素子、
前記電源ノードの電位が前記内部電源電位よりも低いか否かを検出し、低い場合に第2の信号を活性化レベルにする第2の電位検出回路、および前記第2の信号が活性化レベルにされたことに応じて活性化され、前記電源ノードに正電荷を供給する第1のチャージポンプ回路を備える、半導体装置。

【請求項2】 前記第2の電位検出回路は、前記第1の信号が活性化レベルされたことに応じて、前記電源ノードの電位に関係なく前記第2の信号を非活性化レベルにする、請求項1に記載の半導体装置。

【請求項3】 前記スイッチング素子は第1のトランジスタであり、
さらに、前記第1の信号が活性化レベルにされたことに応じて活性化され、前記第1のトランジスタの入力電極に正電荷を与えて前記第1のトランジスタを導通させるための第2のチャージポンプ回路、および前記第1のトランジスタの入力電極と接地電位のラインとの間に接続され、前記第1の信号が非活性化レベルにされたことに応じて導通し前記第1のトランジスタを非導通にさせるための第2のトランジスタを備える、請求項1または請求項2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、特に、外部電源電位のラインと、外部電源電位よりも高い内部電源電位に充電される電源ノードとを備えた半導体装置に関する。

【0002】

【従来の技術】 図8は、従来のダイナミックランダムアクセスメモリ（以下、DRAMと称す）の構成を示すブロック図である。図8において、このDRAMは、クロック発生回路81、行および列アドレスパッファ82、行デコーダ83、列デコーダ84、メモリマット85、入カバッファ88および出カバッファ89を備え、メモリマット85はメモリアレイ86およびセンサアンプ+入出カ制御回路87を含む。

【0003】 クロック発生回路81は、外部から与えられる制御信号/RAS、/CAS、/WEに基づいて所定の動作モードを選択し、DRAM全体を制御する。

【0004】 行および列アドレスパッファ82は、外部から与えられるアドレス信号A0～AI（ただし、Iは0以上の整数である）に基づいて行アドレス信号RA0～RAIおよび列アドレス信号CA0～CAIを生成し、生成した信号RA0～RAIおよびCA0～CAIをそれぞれ行デコーダ83および列デコーダ84に与える。

【0005】 メモリアレイ86は、図9に示すように、行列状に配列された複数のメモリセルMCと、各行に対応して設けられたワード線WLと、各列に対応して設けられたビット線対BL、/BLとを含む。メモリセルMCは、アクセス用のNチャネルMOSトランジスタQと情報記憶用のキャバシタCを含む。

【0006】 行デコーダ83は、行および列アドレスパッファ82から与えられた行アドレス信号RA0～RAIに従って、複数のワード線WLのうちのいずれかのワード線WLを選択し、そのワード線WLを選択レベルの「H」レベルにする。これにより、そのワード線WLに応する各メモリセルMCのNチャネルMOSトランジスタQが導通し、各メモリセルMCのデータの書き込み/読み出しが可能になる。

【0007】 列デコーダ84は、行および列アドレスパッファ82から与えられた列アドレス信号CA0～CAIに従って、複数のビット線対BL、/BLのうちのいずれかのビット線対BL、/BLを選択する。

【0008】 センサアンプ+入出カ制御回路87は、列デコーダ84によって選択されたビット線対BL、/BLをデータ入出力線対IO、/IOの一方端に接続する。データ入出力線対IO、/IOの他端は、入カバッファ88および出カバッファ89に接続される。入カバッファ88は、書き込みモード時に、制御信号/Wに応答して、外部から入力されたデータDj（ただし、jは0以上の整数である）をデータ入出力線対IO、/IOを介して選択されたメモリセルMCに与える。出カバッファ89は、読み出しへモード時に、外部から入力される制御信号/WEに応答して、選択されたメモリセルMCからの読み出データDjを外部に出力する。

【0009】 このようなDRAMでは、メモリセルMCのデータの書き込み/読み出を行なう際には、NチャネルMOSトランジスタQによる電圧降下を小さくするために、電源電位VCCよりも高い昇圧電位VPPをワード線WLに与えている。このため、DRAMには、昇圧電位VPPを生成するためのVPP発生回路が設けられている。

【0010】 図10は、そのようなVPP発生回路の構成を示すブロック図である。図10において、このVPP発生回路は、アクティブディテクタ91、アクティブポンプ92、スタンバイディテクタ93およびスタンバイポンプ94を備える。

【0011】 アクティブディテクタ91は、外部制御信号/RASに基づいて生成される内部制御信号ZRAS

が活性化レベルの「L」レベルになったことに応じて活性化され、昇圧電位VPPが目標電位VTよりも低いか否かを検出し、低い場合は信号φ91を「H」レベルにし、高い場合は信号φ91を「L」レベルにする。アクティーブポンプ92は、信号φ91が「H」レベルになったことに応じて昇圧電位VPPのラインに正電荷を供給する。アクティーブポンプ92の電荷供給能力は、アクティーブ時における昇圧電位VPPのレベル低下を防止するため比較的大きなレベルに設定されている。

【0012】スタンバイディテクタ93は、昇圧電位VPPが目標電位VTよりも低いか否かを常時検出し、低い場合は信号φ93を「H」レベルにし、高い場合は信号φ93を「L」レベルにする。スタンバイポンプ94は、信号φ93が「H」レベルになったことに応じて活性化され、昇圧電位VPPのラインに正電荷を供給する。スタンバイポンプ94は、主にスタンバイ時における微小リーキによる昇圧電位VPPのレベル低下を防止するために設けられている。スタンバイポンプ94の電荷供給能力は、スタンバイ時における消費電流を最小限にするため、比較的小さなレベルに設定されている。

【0013】図11は、図10に示したVPP発生回路の動作を示すタイムチャートである。ある時刻に電源電位VCCが投入されると、スタンバイディテクタ93によって昇圧電位VPPが目標電位VTよりも低いことが検出され、信号φ93が「H」レベルに立上げられる。これに応じてスタンバイポンプ94が活性化されてスタンバイポンプ94から昇圧電位VPPのラインに正電荷が供給され、昇圧電位VPPのレベルが上昇する。

【0014】このとき信号ノーラスのレベル変化がなければ、アクティーブディテクタ91およびアクティーブポンプ92は動作せず、昇圧電位VPPのラインはスタンバイポンプ94のみによって充電される。昇圧電位VPPが目標電位VTを超えると、スタンバイディテクタ93によって信号φ93が「L」レベルにされ、スタンバイポンプ94が非活性化される。

【0015】この後、昇圧電位VPPのラインからの微小リーキによって昇圧電位VPPのレベルが目標電位VTよりも低くなると、スタンバイディテクタ93がスタンバイポンプ94を動作させて昇圧電位VPPのレベルを上昇させ、昇圧電位VPPが目標電位VTよりも高くなると再びスタンバイポンプ94を停止させる。このような動作を繰返すことにより、昇圧電位VPPは目標電位VTに保持される。

【0016】

【発明が解決しようとする課題】このように従来のVPP発生回路では、電源投入時における昇圧電位VPPのラインの充電は電荷供給能力が小さなスタンバイポンプ94のみによって行なわれていたので、電源投入から昇圧電位VPPが目標電位VTに到達するまでの時間が非常に長くなり、電源投入直後のデバイス動作が不安定に

なるという問題があった。

【0017】それゆえに、この発明の主たる目的は、電源投入時における内部電源電位の立ち上がり速度が速い半導体装置を提供することである。

【0018】

【課題を解決するための手段】この発明に係る半導体装置は、外部電源電位のラインと、外部電源電位よりも高い内部電源電位に充電される電源ノードとを備えた半導体装置であって、電源ノードの電位が外部電源電位よりも低いか否かを検出し、低い場合に第1の信号を活性化レベルにする第1の電位検出回路と、外部電源電位のラインと電源ノードとの間に接続され、第1の信号が活性化レベルにされたことに応じて導通し電源ノードに外部電源電位を与えるためのスイッチング素子と、電源ノードの電位が内部電源電位よりも低いか否かを検出し、低い場合に第2の信号を活性化レベルにする第2の電位検出回路と、第2の信号が活性化レベルにされたことに応じて活性化され、電源ノードに正電荷を供給する第1のチャージポンプ回路とを備えたものである。

【0019】好ましくは、第2の電位検出回路は、第1の信号が活性化レベルされたことに応じて、電源ノードの電位に関係なく第2の信号を非活性化レベルにする。

【0020】また好ましくは、スイッチング素子は第1のトランジスタであり、さらに、第1の信号が活性化レベルにされたことに応じて活性化され、第1のトランジスタの入力電極に正電荷を与えて第1のトランジスタを導通させるための第2のチャージポンプ回路と、第1のトランジスタの入力電極と接地電位のラインとの間に接続され、第1の信号が非活性化レベルにされたことに応じて導通し第1のトランジスタを非導通にさせるための第2のトランジスタとが設けられる。

【0021】

【発明の実施の形態】図1は、この発明の一実施の形態によるVPP発生回路の構成を示す回路ブロック図である。図1において、このVPP発生回路は、アクティーブディテクタ1、アクティーブポンプ2、スタンバイディテクタ3、5、スタンバイポンプ4およびVPP-VCC直結回路6を備える。

【0022】アクティーブディテクタ1は、内部制御信号ZRASが活性化レベルの「L」レベルになったことに応じて活性化され、昇圧電位VPPが目標電位VTよりも低いか否かを検出し、低い場合は信号φ1を「H」レベルにし、高い場合は信号φ1を「L」レベルにする。

【0023】すなわちアクティーブディテクタ1は、図2に示すように、遅延回路25、NANDゲート26、PチャネルMOSトランジスタ28~30、NチャネルMOSトランジスタ31、32、インバータ34~38およびトランスマジックゲート39を含む。信号ZRASは、遅延回路25を介してNANDゲート26の一方入力ノードに入力されるとともに、NANDゲート26の

他方入カノードに入カされる。遅延回路25およびNANDゲート26は、立上がりリエッジ遅延回路27を構成する。立上がりリエッジ遅延回路26の出カ信号 ϕ_{27} は、信号ZRASの立下がリエッジに応答して「L」レベルから「H」レベルに立上がり、信号ZRASの立上がりリエッジから遅延回路25の遅延時間経過後に「H」レベルから「L」レベルに立下がる。

【0024】PチャネルMOSトランジスタ28のソースは昇圧電位VPPを受け、そのゲートは接地され、そのドレインはノードN28に接続される。PチャネルMOSトランジスタ28は、所定の抵抗値Rを有する抵抗素子を構成する。PチャネルMOSトランジスタ29、30およびNチャネルMOSトランジスタ31、32は、定電流回路33を構成する。MOSトランジスタ29、31はノードN28と接地電位GNDのラインとの間に直列接続され、MOSトランジスタ30、32は電源電位VCCのラインと接地電位GNDのラインとの間に直列接続される。PチャネルMOSトランジスタ29、30のゲートはともにPチャネルMOSトランジスタ30のドレインに接続される。PチャネルMOSトランジスタ29、30は、カレントミラーリー回路を構成する。NチャネルMOSトランジスタ31、32のゲートは、信号 ϕ_{27} を受ける。定電流回路33は、信号 ϕ_{27} が「H」レベルになっている期間に活性化され、ノードN28から一定電流Iを流出させる。このとき、ノードN28の電位V28は、 $V_{28} = V_{PP} - IR$ となる。

【0025】インバータ34は、所定のしきい値電位Vthを有し、ノードN28の電位V28がしきい値電位Vthよりも高い場合は「L」レベルの信号を出カし、ノードN28の電位V28がしきい値電位Vthよりも低い場合は「H」レベルの信号を出カする。 $V_{PP} = VT$ のとき、 $V_{PP} - IR = V_{th}$ となるようにI、R、Vthが設定されている。したがって、 $V_{PP} > VT$ の場合はインバータ34の出カ信号 ϕ_{34} は「L」レベルになり、 $V_{PP} < VT$ の場合はインバータ34の出カ信号 ϕ_{34} は「H」レベルになる。

【0026】インバータ35～38およびトランスファーゲート39は、ラッチ回路40を構成する。トランスファーゲート39およびインバータ36、38は、インバータ34の出カノードとアクティブディテクタ1の出カノードN40との間に直列接続される。信号 ϕ_{27} は、トランスファーゲート39のNチャネルMOSトランジスタ側のゲートに直接入カされるとともに、インバータ35を介してトランスファーゲート39のPチャネルMOSトランジスタ側のゲートに入カされる。インバータ37は、インバータ36に逆並列に接続される。ラッチ回路40は、信号 ϕ_{27} が「H」レベルから「L」レベルに立下がる直前の信号 ϕ_{34} のレベルをラッチす

る。ラッチ回路40の出カ信号は、アクティブディテクタ1の出カ信号 ϕ_1 となる。

【0027】アクティブポンプ2は、信号 ϕ_1 の立上がりリエッジに応答して昇圧電位VPPのラインに所定量の正電荷を供給する。アクティブポンプ2は、図3に示すように、インバータ41～49、キャバシタ50～53およびNチャネルMOSトランジスタ54～64を含む。

【0028】信号 ϕ_1 は、インバータ41、インバータ41～45、インバータ41～43、46～48、およびインバータ41～43、49を介してそれぞれキャバシタ50～53の一方電極に入カされる。キャバシタ50～53の他方電極は、それぞれNチャネルMOSトランジスタ62のゲート（ノードN50）、NチャネルMOSトランジスタ60のゲート（ノードN51）、インバータ49の電源ノード49aおよびNチャネルMOSトランジスタ63のゲートおよびドレイン（ノードN53）に接続される。NチャネルMOSトランジスタ62は、電源電位VCCのラインとノードN53との間に接続される。NチャネルMOSトランジスタ60は、電源電位VCCのラインとインバータ49の電源ノード49aとの間に接続される。NチャネルMOSトランジスタ63のソースは、昇圧電位VPPのライン（ノードN64）に接続される。

【0029】NチャネルMOSトランジスタ54、57、61、64は、それぞれノードN50、N51、49a、N64に電源電位VCCよりも各々のしきい値電圧Vthだけ低い電位VCC-Vthを与える。NチャネルMOSトランジスタ55、56と58、59は、それぞれノードN50、N51の電位がVCC+2Vthよりも高くなるのを防止するために設けられている。

【0030】信号 ϕ_1 が「L」レベルの場合は、キャバシタ50、51の一方電極は「H」レベルになり、キャバシタ52、53の一方電極は「L」レベルになる。したがって、キャバシタ50、51の電極間電圧が略0Vになり、キャバシタ52、53の電極間電圧は略電源電位VCCとなる。次いで信号 ϕ_1 が「L」レベルから「H」レベルに立上ると、キャバシタ50、51の一方電極が「L」レベルになってノードN50、N51が「L」レベルになり、NチャネルMOSトランジスタ62、60が非導通になる。また、キャバシタ52の一方電極が「H」レベルになってノード49aが略2VCCとなり、さらにキャバシタ53の一方電極が略2VCCになってノードN53が略3VCCとなる。このため、ノードN53から昇圧電位VPPのライン（ノードN64）に正電荷が供給される。したがって、信号 ϕ_1 が「L」レベルから「H」レベルに立上がるごとにアクティブポンプ2から昇圧電位VPPのラインに正電荷が供給される。

【0031】スタンバイディテクタ3は、スタンバイディテクタ5の出力信号 ϕ_5 が「L」レベルの場合に活性化され、昇圧電位VPPが目標電位VTよりも低いか否かを検出し、低い場合は信号 ϕ_3 を「H」レベルにし、高い場合は信号 ϕ_3 を「L」にする。

【0032】図4は、スタンバイディテクタ3の構成を示す回路図である。図4において、スタンバイディテクタ3が図2のアクティブディテクタ1と異なる点は、立上がりリエッジ遅延回路2'およびラッチ回路4'が除去され、インバータ6'5およびNORゲート6'6が追加されている点である。

【0033】定電流回路3'3には信号 ϕ_2 の代わりに電源電位VCCが与えられており、定電流回路3'3は常時活性化されている。インバータ3'4の出力信号 $\phi_{3'4}$ は、インバータ6'5を介してNORゲート6'6の一方入力ノードに入力される。NORゲート6'6の他方入力ノードは信号 ϕ_5 を受ける。NORゲート6'6の出力信号は、スタンバイディテクタ3の出力信号 ϕ_3 となる。

【0034】昇圧電位VPPが目標電位VTよりも低い場合は、インバータ3'4の出力信号 $\phi_{3'4}$ は「H」レベルになる。昇圧電位VPPが目標電位VTよりも高い場合は、インバータ3'4の出力信号 $\phi_{3'4}$ は「L」レベルになる。信号 ϕ_5 が「L」レベルの場合は、インバータ3'4の出力信号 $\phi_{3'4}$ がインバータ6'5およびNORゲート6'6を通して信号 ϕ_3 となる。信号 ϕ_5 が「H」レベルの場合は、信号 ϕ_3 はインバータ3'4の出力信号 $\phi_{3'4}$ のレベルに関係なく「L」レベルに固定される。

【0035】スタンバイポンプ4は、スタンバイディテクタ3の出力信号 ϕ_3 が「H」レベルになったことに応じて活性化され、所定期間で昇圧電位VPPのラインに正電荷を供給する。スタンバイポンプ4は、図5に示すように、リングオシレータ7'0およびポンプ回路7'7を備える。

【0036】リングオシレータ7'0は、NANDゲート7'1およびインバータ7'2~7'6を含む。信号 ϕ_3 は、NANDゲート7'1の一方入力ノードに入力される。インバータ7'2~7'5は、NANDゲート7'1の出カノードと他方入カとの間に直列接続される。インバータ7'5の出カ信号は、インバータ7'6で反転されてポンプ信号 ϕ_{PMP} となる。信号 ϕ_3 が「H」レベルになると、リングオシレータ7'0が活性化され、信号 ϕ_{PMP} はインバータ7'2~7'5の遅延時間ごとに反転するクロック信号となる。信号 ϕ_3 が「L」レベルになると、リングオシレータ7'0が非活性化され、信号 ϕ_{PMP} は「L」レベルに固定される。

【0037】ポンプ回路7'7は、図3で示したアクティブポンプ2と同じ構成である。ポンプ回路7'7は、信号 ϕ_{PMP} が「L」レベルから「H」レベルに立上がるごとに昇圧電位VPPのラインに所定量の正電荷を供給する。ただし、ポンプ回路7'7の電荷供給能力は、アクテ

ィブポンプ2の電荷供給能力よりも小さく設定されている。

【0038】スタンバイディテクタ5は、常時活性化され、昇圧電位VPPが目標電位VT' (=VCC) よりも低いか否かを検出し、低い場合は信号 ϕ_5 を「H」レベルにし、高い場合は信号 ϕ_5 を「L」レベルにする。

【0039】図6は、スタンバイディテクタ5の構成を示す回路図である。図6において、スタンバイディテクタ5が図4のスタンバイディテクタ3と異なる点は、NチャネルMOSトランジスタ2'8がNチャネルMOSトランジスタ2'8'で置換されている点と、インバータ6'5およびNANDゲート6'6が除去されている点である。NチャネルMOSトランジスタ2'8'は、NチャネルMOSトランジスタ2'8よりも低い抵抗値R'を有する抵抗素子を構成する。インバータ3'4の出力信号がスタンバイディテクタ5の出力信号となる。

【0040】スタンバイディテクタ5のノードN2'8の電位V2'8はスタンバイディテクタ3のノードN2'8の電位V2'8よりも高くなるので、昇圧電位VPPをOVから徐々に上昇させた場合は、信号 ϕ_5 の方が信号 ϕ_3 よりも早く「H」レベルから「L」レベルに立下がる。 $VPP=VCC$ のとき、 $VPP-R'=Vth$ となるように I 、 R' 、 Vth が設定されている。

【0041】したがって、 $VPP > VCC$ の場合はインバータ3'4の出力信号 ϕ_5 は「L」レベルになり、 $VPP < VCC$ の場合はインバータ3'4の出力信号 ϕ_5 は「H」レベルになる。

【0042】図1に戻って、VPP-VCC直結回路6は、NANDゲート1'1、インバータ1'2~1'6、キャバシタ1'7、PチャネルMOSトランジスタ1'8およびNチャネルMOSトランジスタ1'9~2'2を含む。NANDゲート1'1およびインバータ1'2~1'5はリングオシレータ1'0を構成し、リングオシレータ1'0、インバータ1'6、キャバシタ1'7およびMOSトランジスタ1'8~2'1はチャージポンプ回路を構成する。インバータ1'2~1'5は、NANDゲート1'1の出カノードと一方入カノードとの間に直列接続される。信号 ϕ_5 はNANDゲート1'1の他方入カノードに入力される。リングオシレータ1'0は、信号 ϕ_5 が「H」レベルの場合に活性化され、所定期間のクロック信号 $\phi_{1'0}$ をキャバシタ1'7の一方電極に与える。

【0043】MOSトランジスタ1'8~2'1は、電源電位VCCのラインと接地電位GNDのラインとの間に直列接続される。信号 ϕ_5 は、インバータ1'6を介してMOSトランジスタ1'8、2'1のゲートに入力される。NチャネルMOSトランジスタ1'9のゲートは、そのソースに接続される。NチャネルMOSトランジスタ2'0のゲートは、そのソースに接続されるとともにキャバシタ1'7の他方電極に接続される。NチャネルMOSトランジスタ1'9、2'0の各々は、ダイオードを構成する。N

チャネルMOSトランジスタ22は、電源電位VCCのラインと昇圧電位VPPのラインとの間に直列接続され、そのゲートはノードN20に接続される。

【0044】信号φ5が「H」レベルの場合は、PチャネルMOSトランジスタ18が導通し、NチャネルMOSトランジスタが非導通になってキャバシタ17の他方電極およびノードN20に電源電位VCCが与えられる。また、リングオシレータ10が活性化されてクロック信号φ10が生成され、信号φ10が「L」レベルのときにキャバシタ17が充電され、信号φ10が「H」レベルのときにキャバシタ17が放電され、ノードN20が約2VCCに昇圧される。これにより、NチャネルMOSトランジスタ22が導通して電源電位VCCのラインと昇圧電位VPPのラインとが結合される。

【0045】図7は、図1～図6で示したVPP発生回路の動作を示すタイムチャートである。ある時刻に電源電位VCCが投入されると、まずスタンバイディテクタ5の出力信号φ5が「L」レベルから「H」レベルに立上がり、スタンバイディテクタ3の出力信号φ3が「L」レベルに固定されてスタンバイポンプ4が非活性化される。同時にVPP-VCC直結回路6のリングオシレータ10が活性化されてNチャネルMOSトランジスタ22が導通し、電源電位VCCのラインと昇圧電位VPPのラインとが結合される。

【0046】これにより、昇圧電位VPPのラインは電源電位VCCのラインから直接充電されるので、電荷供給能力の小さなスタンバイポンプ4で昇圧電位VPPのラインを充電していた従来に比べ、電源投入時における昇圧電位VPPの立上がり速度が速くなる。

【0047】次いで、昇圧電位VPPが目標電位VT'に到達すると、スタンバイディテクタ5の出力信号φ5が「H」レベルから「L」レベルに立上がり、VPP-VCC直結回路6のNチャネルMOSトランジスタ22が非導通になるとともに、スタンバイディテクタ3が活性化される。この後は、スタンバイ時においては昇圧電位VPPが目標電位VTよりも高い場合はスタンバイディテクタ3の出力信号φ3が「L」レベルになってスタンバイポンプ4が非活性化され、昇圧電位VPPが目標電位VTよりも低い場合はスタンバイディテクタ3の出力信号φ3が「H」レベルになってスタンバイポンプ4が活性化され、昇圧電位VPPが目標電位VTに保持される。また、アクティブ時においては、スタンバイディテクタ3およびスタンバイポンプ4に加えてアクティブディテクタ1およびアクティブポンプ2も活性化され、昇圧電位VPPが目標電位VTに保持される。

【0048】この実施の形態では、電源投入時において昇圧電位VPPが所定電位VT'よりも低い場合は電源電位VCCのラインと昇圧電位VPPのラインとを結合するので、電源投入時における昇圧電位VPPの立上がり速度の高速化および回路動作の安定化を図ることができる。

きる。

【0049】また、MOSトランジスタの酸化膜が破壊された場合のようにスタンバイポンプ4の能力以上のリードが発生した場合に発生する昇圧電位VPPのレベル低下を防止し、回路の安定動作を保障することができる。

【0050】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等および範囲内でのすべての変更が含まれることが意図される。

【0051】

【発明の効果】以上のように、この発明に係る半導体装置では、電源ノードの電位が外部電源電位よりも低い場合に第1の信号を活性化レベルにする第1の電位検出回路と、第1の信号が活性化レベルにされたことに応じて導通し、電源ノードに外部電源電位を与えるためのスイッチング素子と、電源ノードの電位が内部電源電位よりも低い場合に第2の信号を活性化レベルにする第2の電位検出回路と、第2の信号が活性化レベルにされたことに応じて活性化され、電源ノードに正電荷を供給する第1のチャージポンプ回路とが設けられる。したがって、電源投入時は、スイッチング素子が導通して外部電源電位が電源ノードに与えられるので、電源ノードの電位の立上がり速度の高速化を図ることができる。

【0052】好ましくは、第2の電位検出回路は、第1の信号が活性化レベルされたことに応じて、電源ノードの電位に関係なく第2の信号を非活性化レベルにする。この場合は、スイッチング素子の導通時は第1のチャージポンプ回路が非活性化されるので、消費電流の低減化を図ることができる。

【0053】また好ましくは、スイッチング素子は第1のトランジスタであり、さらに、第1の信号が活性化レベルにされたことに応じて活性化され、第1のトランジスタの入力電極に正電荷を与えて第1のトランジスタを導通させるための第2のチャージポンプ回路と、第1のトランジスタの入力電極と接地電位のラインとの間に接続され、第1の信号が非活性化レベルにされたことに応じて導通し第1のトランジスタを非導通にさせるための第2のトランジスタとが設けられる。この場合は、スイッチング素子を容易に構成することができ、その制御を容易に行なうことができる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態によるVPP発生回路の構成を示す回路ブロック図である。

【図2】 図1に示したアクティブディテクタの構成を示す回路ブロック図である。

【図3】 図1に示したアクティブポンプの構成を示す回路図である。

【図4】 図1に示したスタンバイディテクタ3の構成を示す回路図である。

【図5】 図1に示したスタンバイポンプの構成を示す回路図である。

【図6】 図1に示したスタンバイディテクタ5の構成を示す回路図である。

【図7】 図1～図6に示したVPP発生回路の電源投入時における動作を示すタイムチャートである。

【図8】 従来のDRAMの全体構成を示すブロック図である。

【図9】 図8に示したメモリアレイの構成を示す回路ブロック図である。

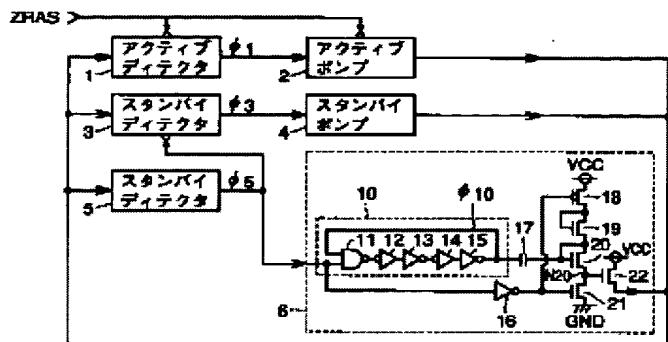
【図10】 図8に示したDRAMに含まれるVPP発生回路の構成を示すブロック図である。

【図11】 図10に示したVPP発生回路の電源投入時における動作を示すタイムチャートである。

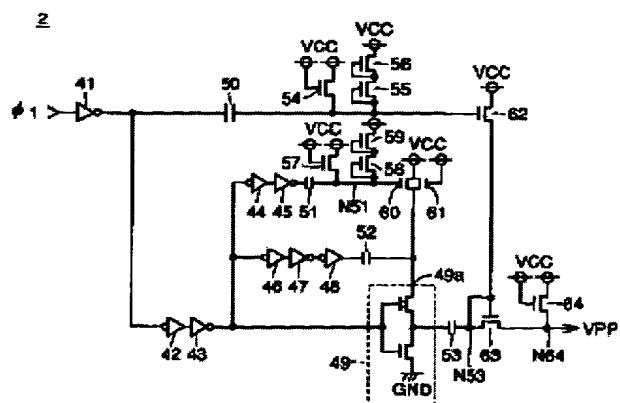
【符号の説明】

1, 91 アクティブディテクタ、2, 92 アクティブポンプ、3, 5, 93 スタンバイディテクタ、4, 94 スタンバイポンプ、6 VPP-VCC直結回路、10, 70 リングオシレータ、11, 26, 71 NANDゲート、12～16, 34～38, 41～49, 65, 72～76 インバータ、17, 50～53 CチャネルMOSトランジスタ、18, 28～30 PチャネルMOSトランジスタ、25 遅延回路、27 立上がりリエッジ遅延回路、33 定電流回路、40 ラッチ回路、66 NORゲート回路、77 ボンブ回路、81 クロック発生回路、82 行および列アドレスパッファ、83 行デコーダ、84 列デコーダ、85 メモリマット、86 メモリアレイ、87 センスアンプ+入出力制御回路、88 入カバッファ、89 出カバッファ、MC メモリセル、WL ワード線、BL, /BL ビット線対。

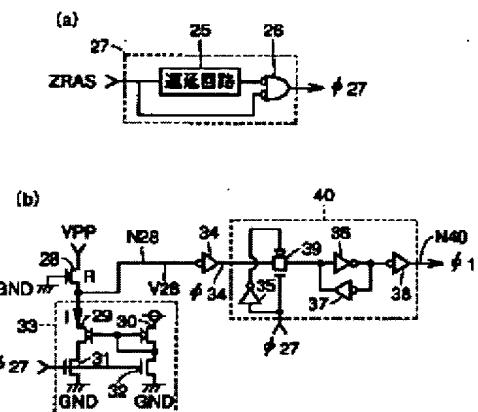
【図1】



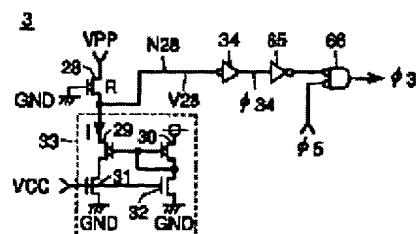
【図3】



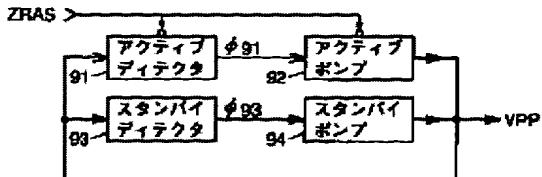
【図2】



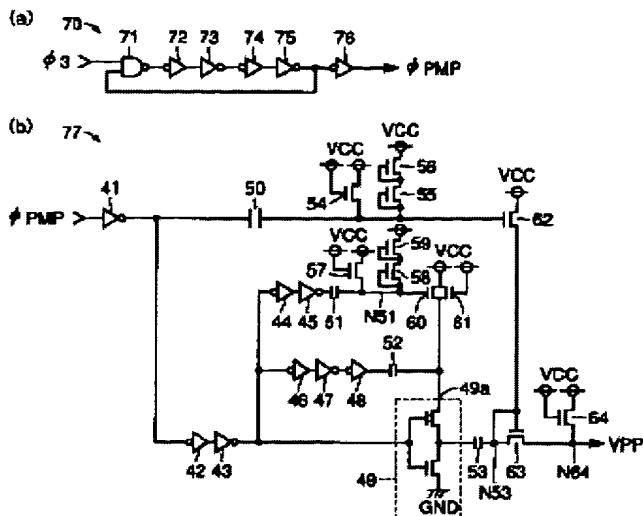
【図4】



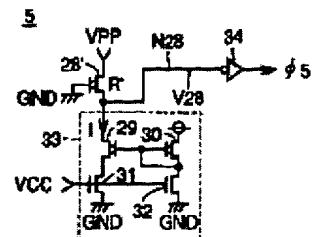
【図10】



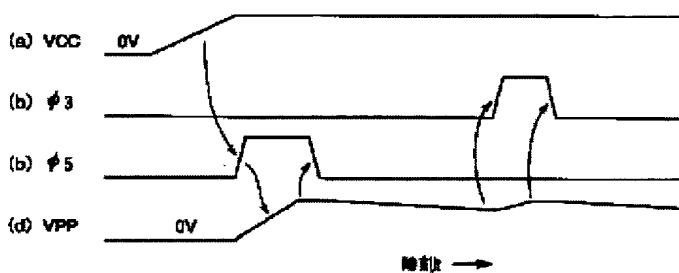
[図5]



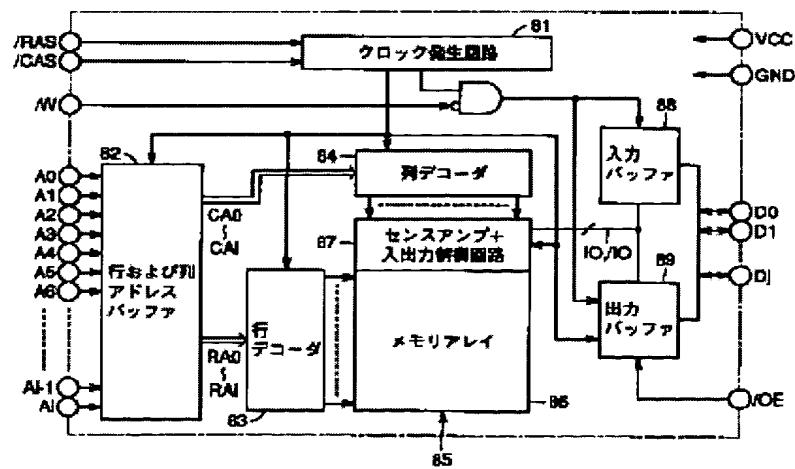
[圖6]



[圖 3]



[四八]



【図11】

